
MH1641

硬解码参考手册

兆讯恒达微电子技术（北京）有限公司

目录

- 1 概述 1
 - 1.1 描述 1
 - 1.2 主要特性 1
 - 1.3 管脚描述 1
- 2 通信接口 2
 - 2.1 信号描述 2
 - 2.1.1 DATA 2
 - 2.1.2 STROBE 2
 - 2.2 信号时序 3
 - 2.2.1 复位时序 3
 - 2.2.2 工作时序 4
 - 2.3 输出数据格式 5
- 3 芯片封装 6
- 4 参考设计 6

图

图 1 MH1641 管脚示意图1

图 2 芯片复位时序图3

图 3 芯片工作时序图4

图 4 MH1641 封装尺寸图6

图 5 原理图6

表

表 1 MH1641 管脚说明2

表 2 复位时序图时间3

表 3 工作时序图时间4

1 概述

1.1 描述

MH1641 采用 DFN14 封装方式，通过 DATA 和 STROBE 管脚与主机通信，本芯片采用 DFN14 封装，芯片的管脚定义及通信方式与 Magtek 6541 兼容。

1.2 主要特性

- 单磁道、双磁道、三磁道磁条信息解码
- 支持双向解码
- 刷卡速度：5cm/s - 200cm/s
- 高性能数字解码器：支持低幅度、噪音卡、高 jitter 等恶劣解码情况
- 出色的低幅度卡解码性能
- 自动增益调整：支持信号幅度 3mV - 1V
- 供电电压：1.8V-3.6V
- 刷卡电流：3mA

1.3 管脚描述

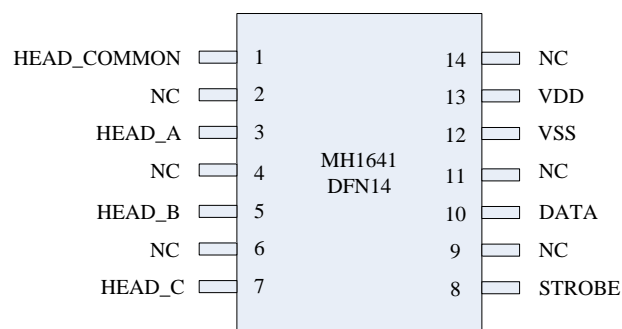


图 1 MH1641 管脚示意图

表 1 MH1641 管脚说明

引脚	引脚名称	类型	描述
1	HEAD_COMMON	analog	解码电路参考电压脚
2	NC		
3	HEAD_A	analog	磁道 1 输入
4	NC		
5	HEAD_B	analog	磁道 2 输入
6	NC		
7	HEAD_C	analog	磁道 3 输入
8	STROBE	Input	时钟管脚
9	NC		
10	DATA	Inout	数据管脚
11	NC		
12	VSS	Ground	地
13	VDD	Power	电源
14	NC		

2 通信接口

2.1 信号描述

2.1.1 DATA

DATA 信号为双向接口，芯片内部接上拉电阻，默认为高电平，在主机/从机使用该信号时将其置高或者置低，该信号在芯片上电后 100ms 内处于不确定状态，主机在芯片上电后 100ms 内不能操作该信号。

2.1.2 STROBE

STROBE 信号为芯片的输入接口，主机操作该信号及 DATA 信号对芯片执行复位操作、响应从机以及读取芯片解码数据，该信号在芯片上电后 100ms 内处于不确定状态，主机在上电后 100ms 内不能操作该信号。

2.2 信号时序

2.2.1 复位时序

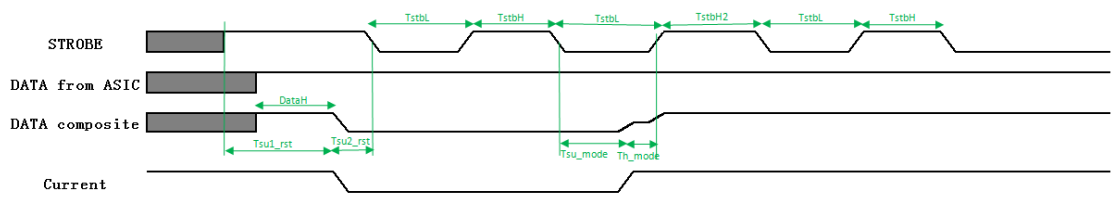


图 2 芯片复位时序图

芯片上电后需要先执行复位操作，复位操作由主机发起：

- 1. 主机将 STROBE 信号拉高，再将 DATA 拉高；
- 2. 主机将 DATA 信号拉低；
- 3. 主机在 DATA 信号处于低电平期间，将 STROBE 信号拉低、拉高、再拉低；
- 4. 主机在 STROBE 信号处于低电平期间，将 DATA 信号拉高；
- 5. 主机在 DATA 信号处于高电平期间，将 STROBE 信号拉高、拉低、拉高、再拉低完成复位芯片操作，芯片直接进入等待刷卡状态。

表 2 复位时序图时间

符号名称	说明	最小时间	最大时间	单位
TstbL	STROBE为低电平的持续时间	250		ns
TstbH	STROBE为高电平的持续时间	250		ns
TstbH2	STROBE为高电平的特殊状态持续时间	20		us
Tsu1_rst	从STROBE上升沿到DATA下降沿时间	170		ns
Tsu2_rst	从DATA下降沿到STROBE下降沿时间，用于初始化RESET信号	5		us
Th_mode	从DATA被释放到STROBE上升沿的时间	20		ns
Tsu_mode	STROBE下降沿到释放DATA的时间	20		ns
DataH	开始复位时DATA 高电平持续的时间	5		ns

2.2.2 工作时序

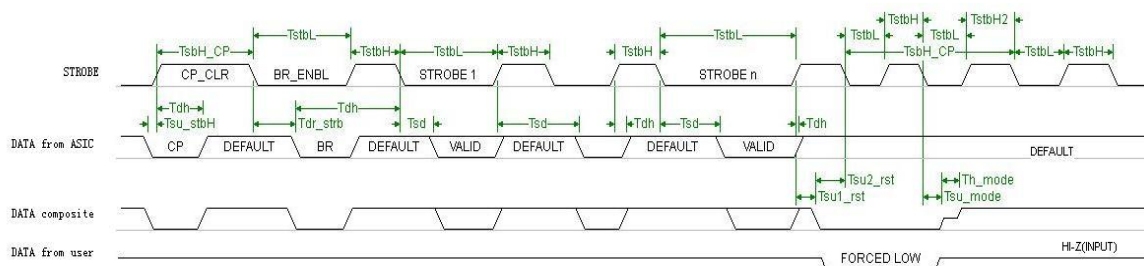


图 3 芯片工作时序图

1. 芯片处于等待刷卡状态下，当有刷卡信号时，芯片将 **DATA** 信号拉低（即为 **Card-Present, CP**）通知主机有刷卡动作，同时进入刷卡状态；
2. 主机响应 **DATA** 信号低电平，并将 **STROBE** 信号拉高、拉低（拉低表示主机使能 **BR_ENABLE**，可以接收解码数据）；
3. 芯片收到 **STROBE** 信号上升后，将 **DATA** 信号线释放（外部上拉为高电平）；
4. 芯片完成刷卡解码后，在 **BR_ENABLE** 有效后，再次将 **DATA** 信号拉低，通知主机刷卡解码数据准备完毕，同时芯片进入数据读取状态；
5. 主机响应 **DATA** 信号低电平，开始读取芯片中的解码数据，读取数据时主机将 **STROBE** 信号拉高时芯片释放总线（外部上拉为高电平），主机将 **STROBE** 信号拉低时芯片将解码有效数据放于 **DATA** 总线上（低电平表示“1”，高电平表示“0”）；
6. 主机读取数据完成后，将 **STROBE** 信号置为高电平，之后将 **DATA** 信号拉低执行芯片复位操作；
7. 如此完成一次刷卡操作。

表 3 工作时序图时间

符号名称	说明	最小时间	最大时间	单位
TstbH_CP	STROBE为高电平清除缓存的时间	2		us
TstbL	STROBE处于低电平的时间	250		ns
TstbH	STROBE处于低电平的时间	250		ns
TstbH2	STROBE为高电平的特殊状态持续时间	20		us
Tsu_stbH	DATA下降沿STORBE上升沿的时间	20		ns
Tdh	STROBE上升沿到DATA上升沿的时间	5		ns
Tdr_strb	STROBE下降沿到DATA下降沿的时间		10	us
Tsd	STROBE下降沿到DATA有效时间		200	ns
Tsu1_rst	从STROBE上升沿到DATA上升沿的时间	170		ns
Tsu2_rst	从DATA下降沿到STROBE下降沿的时间，用于初始化RESET信号	5		us

Th_mode	DATA被释放到STROBE被置为高电平的时间	20		ns
Tsu_mode	设置时间从STROBE下降沿到释放DATA时间	20		ns

2.3 输出数据格式

芯片输出数据采用串行输出的方式，按照以下格式输出数据

16bit 前导数据+磁道 1 同向数据+磁道 2 同向数据+磁道 3 同向数据+磁道 3 反向数据+磁道 2 反向数据+磁道 1 反向数据+磁道 1 同向数据...

数据输出直至主机执行复位操作结束，否则将一直按照以上格式持续输出数据。

前导数据为 16bit 表示作为起始标识：1100 0000 0000 0000（Magtek 标识），以 LSB 先出格式输出。

同向数据表示输出的数据流顺序与刷卡顺序一致，反向数据表示输出的数据流顺序与刷卡顺序相反。

每个磁道准确发送 704bit 数据，由于实际刷卡数据可能小于 704bit，因此对于空数据位以“0”填充。例如：磁道 1 解码数据为 500bit，则额外 204bit 填充为“0”，在磁道 1 同向数据中先按顺序输出 500bit 解码数据，在输出 204bit 填充位，之后在磁道 1 反向数据中则先输出 204bit 填充位，再 500bit 解码数据反向输出。

3 芯片封装

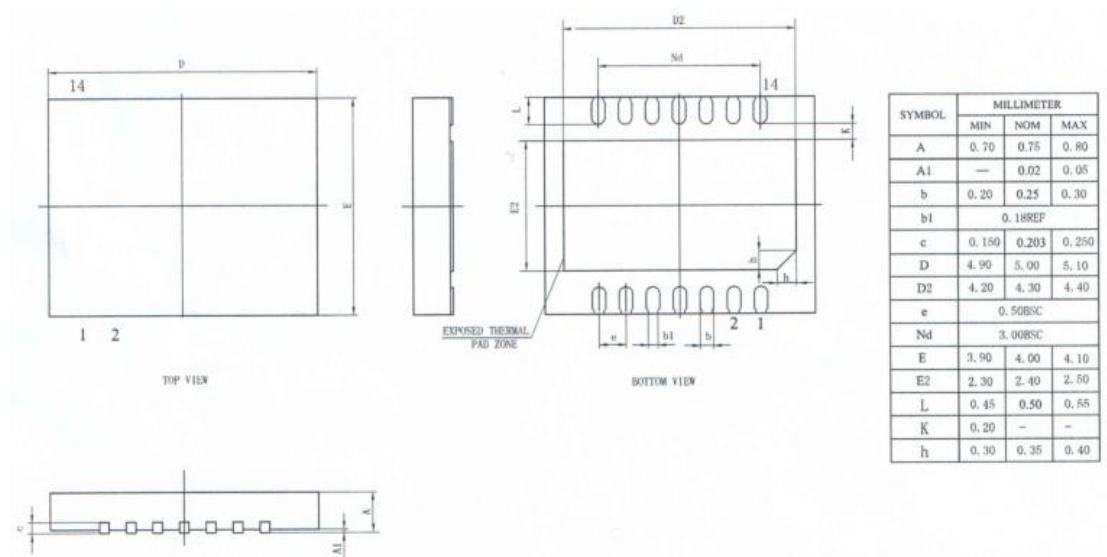


图 4 MH1641 封装尺寸图

4 参考设计

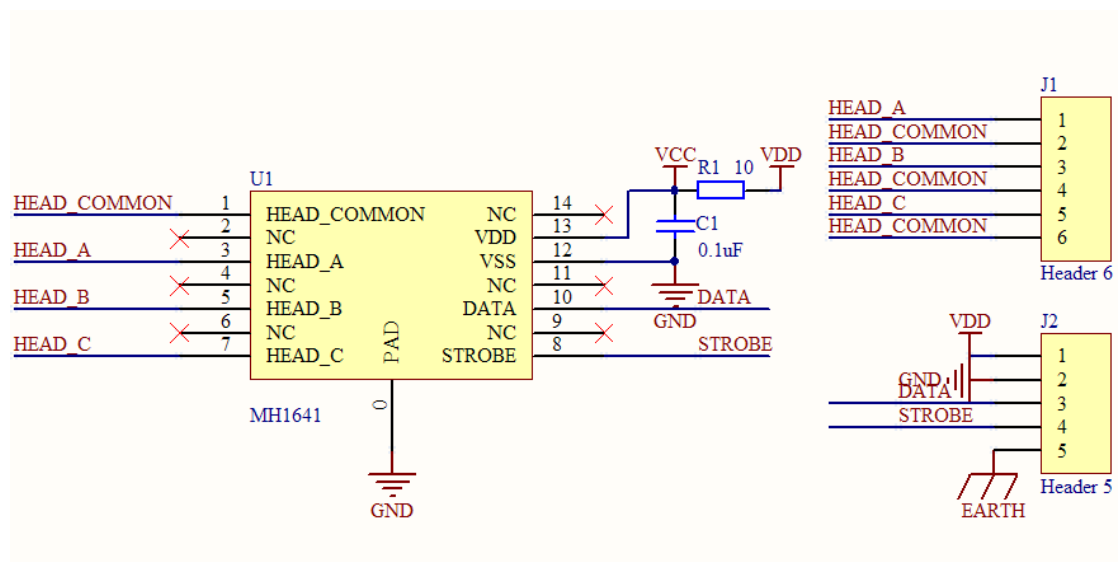


图 5 原理图